

【11】證書號數：I931929

【45】公告日：中華民國 115 (2026) 年 07 月 11 日

【51】Int. Cl. : H10D64/27 (2025.01) H10D64/20 (2025.01)  
H10D62/10 (2025.01) H10D30/47 (2025.01)  
H10D64/01 (2025.01) H10D30/01 (2025.01)

發明

全 20 頁

【54】名稱：半導體結構及其製造方法

【21】申請案號：113148015 【22】申請日：中華民國 113 (2024) 年 12 月 11 日

【11】公開編號：202625606 【43】公開日期：中華民國 115 (2026) 年 06 月 16 日

【72】發明人：鍾瑞倫 (TW) CHUNG, JUI-LUN；葉尊揚 (TW) YE, TZUEN-YANG

【71】申請人：冠亞半導體股份有限公司 CHAMP-ASIA SEMICONDUCTOR CORPORATION

新竹縣竹北市東興里日興一街 18 號 11 樓

【74】代理人：林義傑；劉彥宏；丁國隆

【56】參考文獻：

TW 201330259A

TW 201711196A

TW 202129969A

CN 115117166A

US 2023/0335630A1

審查人員：朱 信

## 【57】申請專利範圍

1. 一種半導體結構，包含：  
一基板；  
一通道層，設置於該基板上方；  
一電極，設置於該通道層上方；  
一多層場板，電性連結至該電極，具有至少一第一場板及一第二場板，其中該第一場板與該電極部分重疊連結，該第二場板與該第一場板部分重疊連結，使該電極與該多層場板共同地形成一連續階梯狀結構，其中，所述部分重疊連結係指部分直接實體接觸和連接的一種配置而沒有任何中間結構；  
一第一阻擋層及一第一介電層，其中該第一介電層覆蓋該第一阻擋層，且該第一阻擋層及該第一介電層共同地界定該電極之一輪廓；及  
一第二阻擋層及一第二介電層，其中該第二介電層覆蓋該第二阻擋層，該第二阻擋層覆蓋該第一介電層，且該第二阻擋層及該第二介電層共同地界定該第一場板之一輪廓。
2. 如請求項 1 所述之半導體結構，其中該電極係一閘極電極、一源極電極、一汲極電極其中之一。
3. 如請求項 1 所述之半導體結構，其中該第一阻擋層及該第一介電層共同地界定一第一關鍵尺寸，該第二阻擋層及該第二介電層共同地界定一第二關鍵尺寸，且該第一關鍵尺寸小於該第二關鍵尺寸，其中該第一關鍵尺寸及該第二關鍵尺寸分別係該電極及該第一場板之一橫向最大尺寸。
4. 如請求項 1 所述之半導體結構，其中該第一阻擋層及該第二阻擋層係一氮化鋁 (AlN) 層、一氧化鎵 (Ga<sub>2</sub>O<sub>3</sub>) 層、一氧化鋁 (Al<sub>2</sub>O<sub>3</sub>) 層其中之一。

(2)

5. 如請求項 1 所述之半導體結構，其中該第一介電層及該第二介電層係一氮化矽（SiN）層、一氧化矽（SiO<sub>2</sub>）層、一氮氧化矽（SiON）層、一碳化矽（SiC）其中之一。
6. 如請求項 1 所述之半導體結構，其中該基板係一矽基板、一藍寶石基板、一碳化矽基板、一鑽石基板、一氮化鎵基板其中之一。
7. 一種半導體結構之製造方法，包含：  
形成一通道層設置於一基板上方；  
一次性形成一電極及一多層場板，設置於該通道層上方，  
其中該多層場板電性連結至該電極，該多層場板具有至少一第一場板及一第二場板，該第一場板與該電極部分重疊連結，該第二場板與該第一場板部分重疊連結，使該電極與該多層場板共同地形成一連續階梯狀結構，其中，所述部分重疊連結係指部分直接實體接觸和連接的一種配置而沒有任何中間結構，  
其中形成該電極及該多層場板包含以下步驟：  
依序形成一第一阻擋層及一第一介電層，設置於該通道層上方；  
依序形成一第二阻擋層及一第二介電層，設置於該第一介電層上方；  
圖案化蝕刻該第二介電層，使蝕刻停止於該第二阻擋層，以裸露部分該第二阻擋層；  
去除該裸露部分該第二阻擋層，以裸露部分該第一介電層；  
圖案化蝕刻該第一介電層，使蝕刻停止於該第一阻擋層，以裸露部分該第一阻擋層；  
去除該裸露部分該第一阻擋層；以及  
沉積金屬以覆蓋部分該通道層、部分該第一介電層及部分該第二介電層，以一次性形成該電極及該多層場板，  
其中，該第一阻擋層及該第一介電層共同地界定該電極之一輪廓，且該第二阻擋層及該第二介電層共同地界定該第一場板之一輪廓。
8. 如請求項 7 所述之半導體結構之製造方法，其中圖案化蝕刻該第一介電層之步驟及去除該裸露部分該第一阻擋層之步驟共同地界定一第一關鍵尺寸，圖案化蝕刻該第二介電層之步驟及去除該裸露部分該第二阻擋層之步驟共同地界定一第二關鍵尺寸，且該第一關鍵尺寸小於該第二關鍵尺寸，該第一關鍵尺寸及該第二關鍵尺寸分別係該電極及該第一場板之一橫向最大尺寸。
9. 如請求項 7 所述之半導體結構之製造方法，其中該第一阻擋層及該第二阻擋層係一氮化鋁（AlN）層、一氧化鎵（Ga<sub>2</sub>O<sub>3</sub>）層、一氧化鋁（Al<sub>2</sub>O<sub>3</sub>）層其中之一。
10. 如請求項 7 所述之半導體結構之製造方法，其中該第一介電層及該第二介電層係一氮化矽（SiN）層、一氧化矽（SiO<sub>2</sub>）層、一氮氧化矽（SiON）層、一碳化矽（SiC）其中之一。
11. 如請求項 7 所述之半導體結構之製造方法，其中該第一介電層及該第二介電層相對該第一阻擋層及該第二阻擋層之蝕刻選擇比大於 100。
12. 如請求項 7 所述之半導體結構之製造方法，其中該基板係一矽基板、一藍寶石基板、一碳化矽基板、一鑽石基板、一氮化鎵基板其中之一。

#### 圖式簡單說明

圖 1 為具有三層多層場板結構之傳統常開型高電子遷移率電晶體之示意圖；  
圖 2A 至圖 2P 為本發明一實施例中半導體結構之製造流程示意圖；及  
圖 3 為本發明一實施例中半導體結構之製程步驟示意圖。

(3)

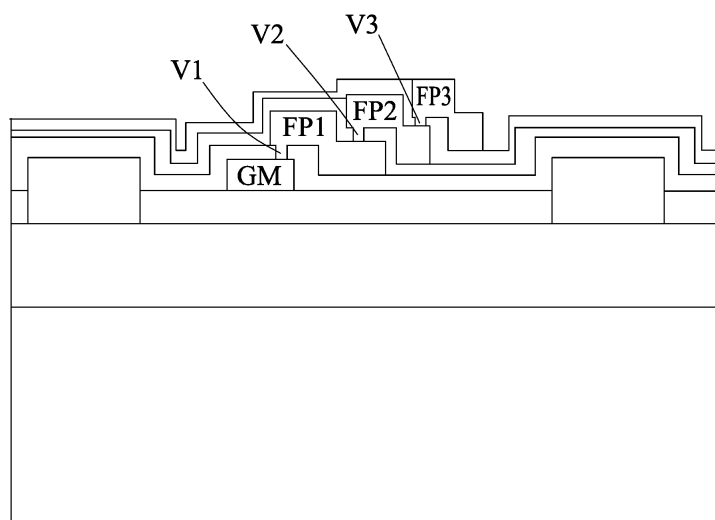


圖1

(4)

1

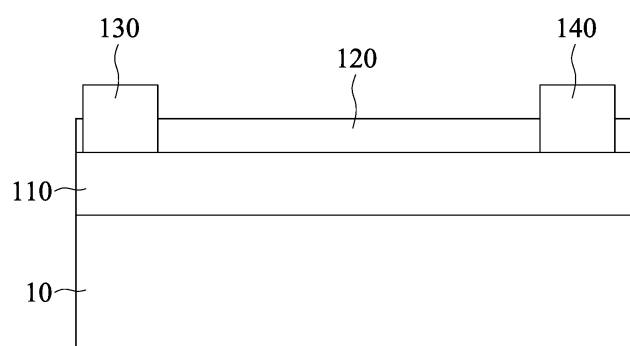


圖2A

(5)

1

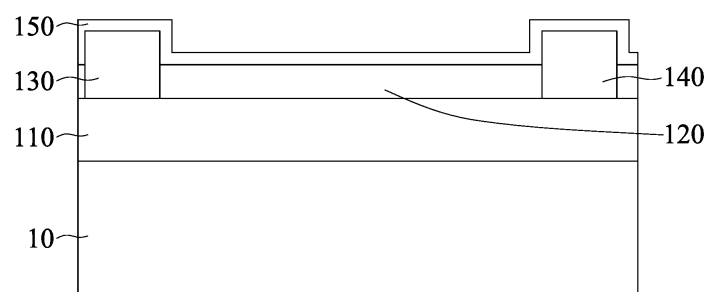


圖2B

(6)

1

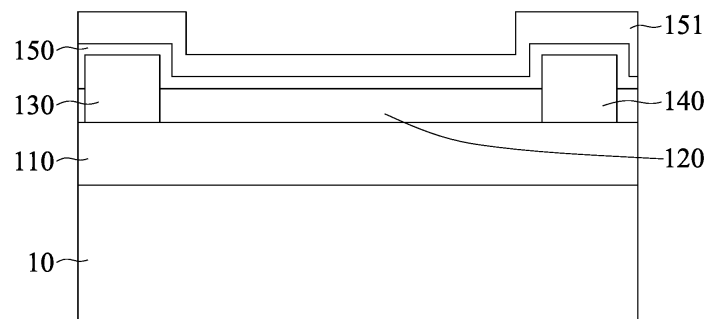


圖2C

(7)

1

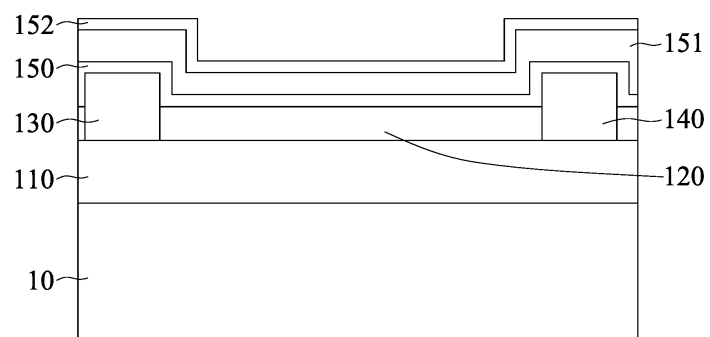


圖2D

(8)

1

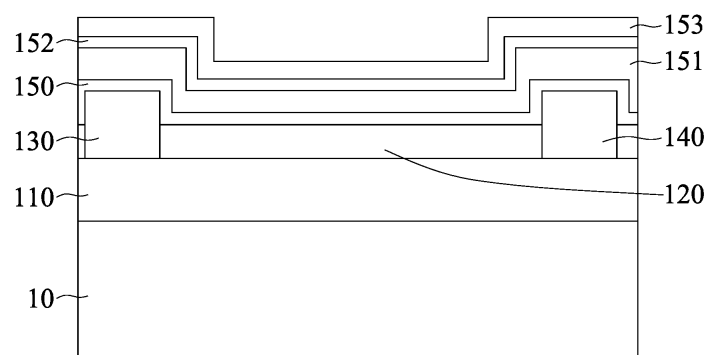


圖2E

1

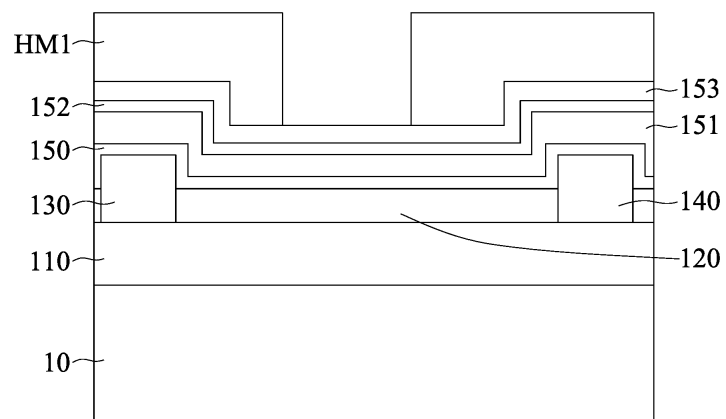


圖2F

1

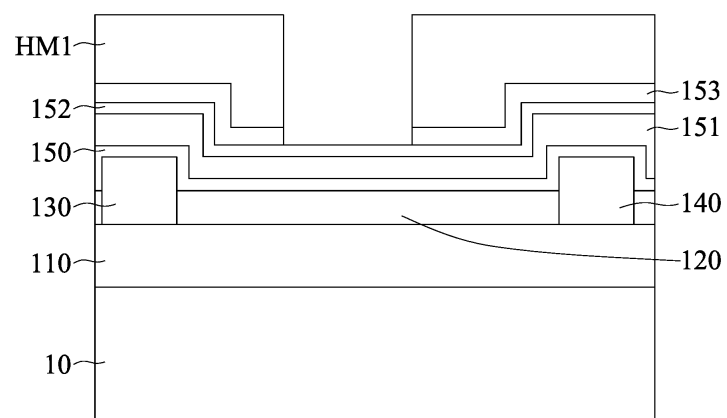


圖2G

1

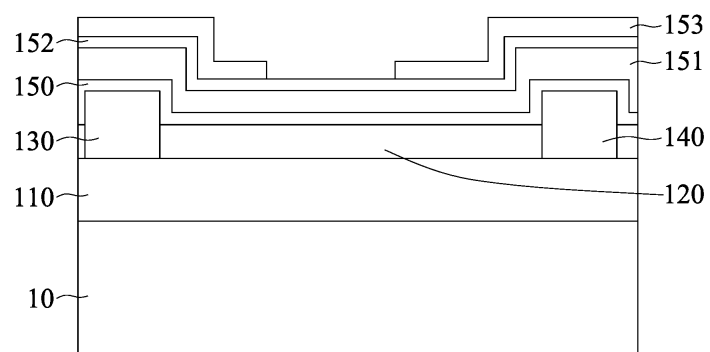


圖2H

1

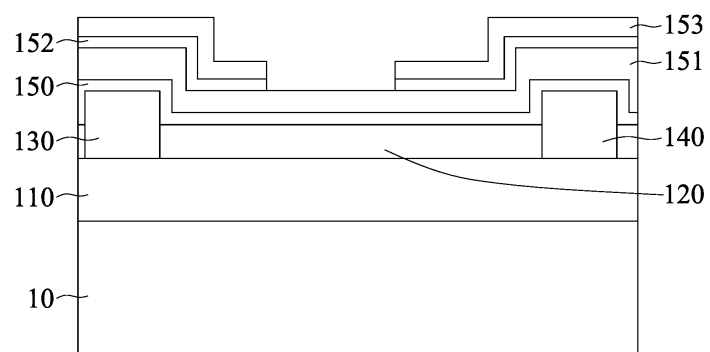


圖2I

1

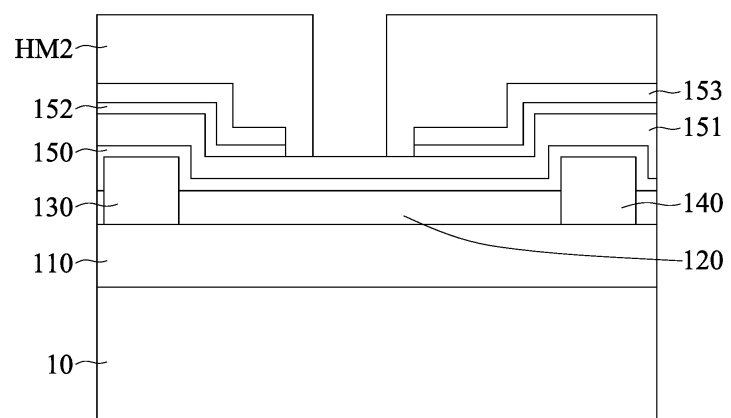


圖2J

1

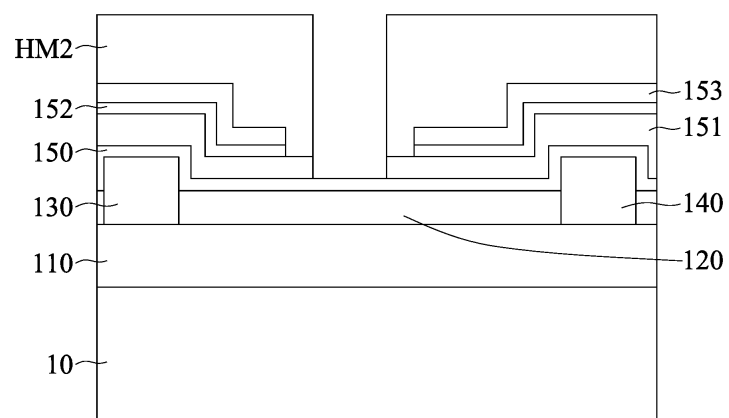


圖2K

1

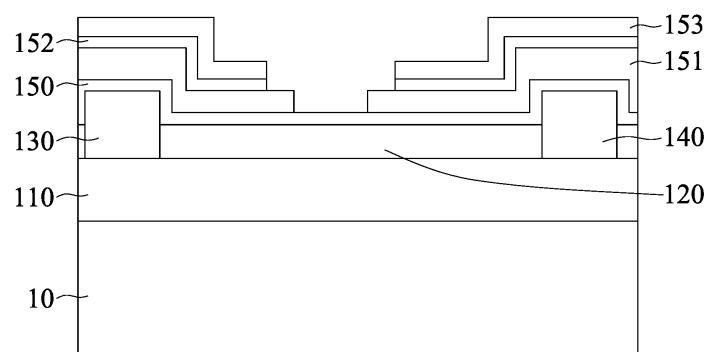


圖2L

1

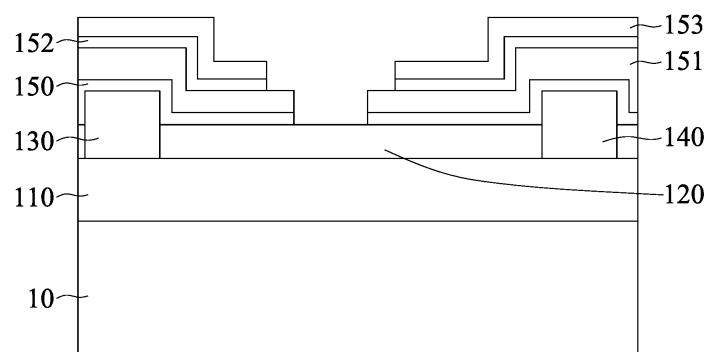


圖2M

1

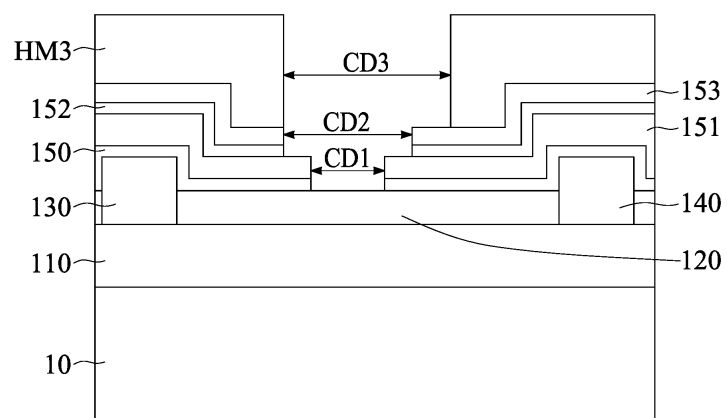


圖2N

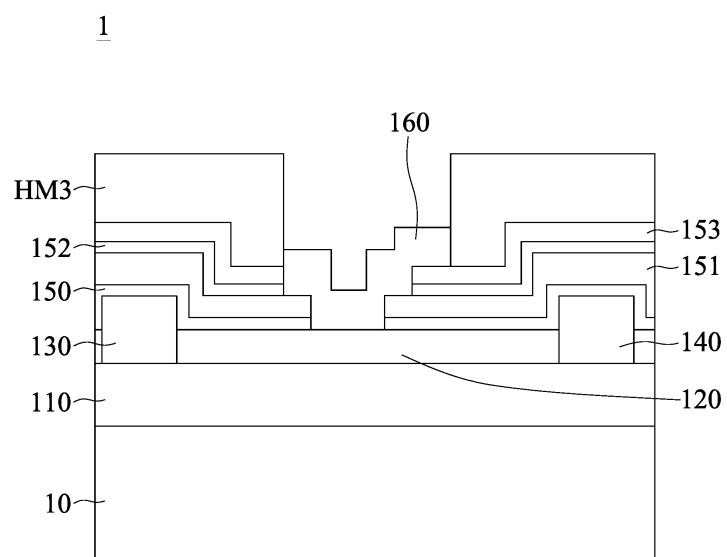


圖20

(19)

1

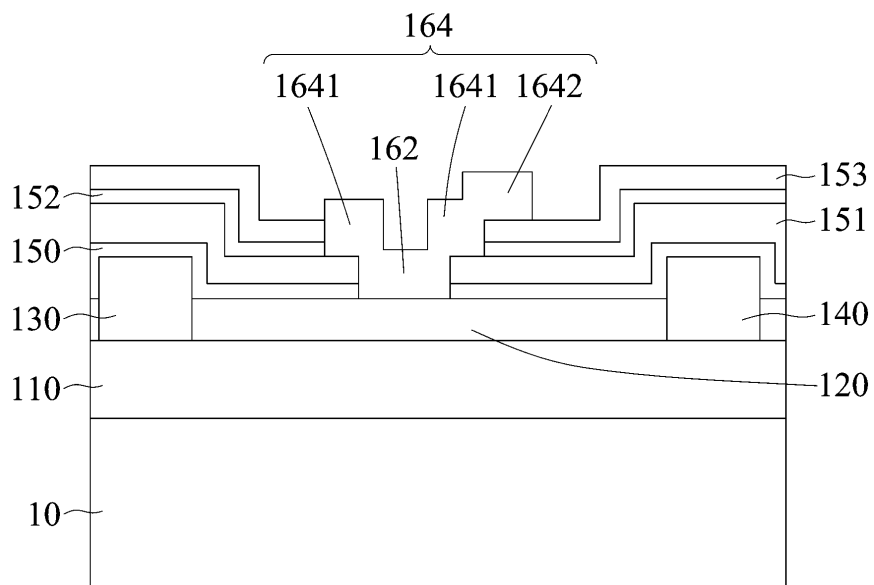


圖2P

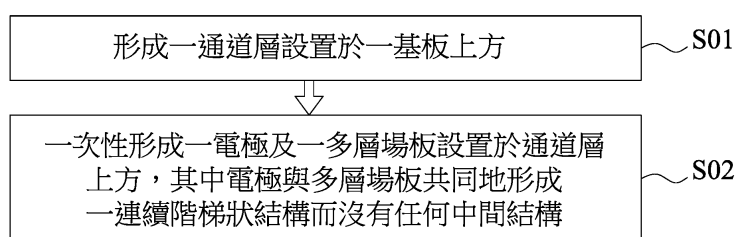


圖3